

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-090676

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

G11C 16/02
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 10-255008

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 09.09.1998

(72)Inventor : KOTANI HISAKAZU
KOJIMA MAKOTO

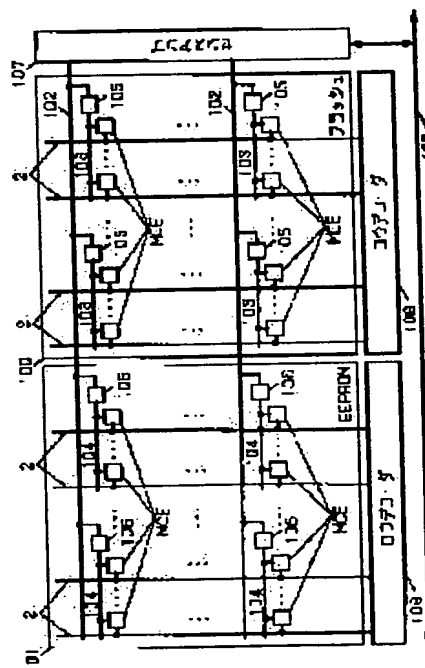
(54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile semiconductor memory flash memories and EEPROMs in a small area on a same substrate.

SOLUTION: At the time of mounting flash memories and EEPROMs mixedly, a hierarchic bit line configuration is employed so that an upper bit line 102 and a sense amplifier 107 are shared by the flash memory 100 and the EEPROM 101.

Consequently, chip area can be reduced and flash the memories and EEPROMs can be formed efficiently on a same chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-90676
(P2000-90676A)

(43)公開日 平成12年3月31日(2000.3.31)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 1 1 C 16/02		G 1 1 C 17/00	6 1 2 F 5 B 0 2 5
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4 5 F 0 0 1
21/8247		29/78	3 7 1 5 F 0 8 3
29/788			
29/792			

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21)出願番号	特願平10-255008	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成10年9月9日(1998.9.9)	(72)発明者	小谷 久和 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72)発明者	小島 誠 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	100097445 弁理士 岩橋 文雄 (外2名)

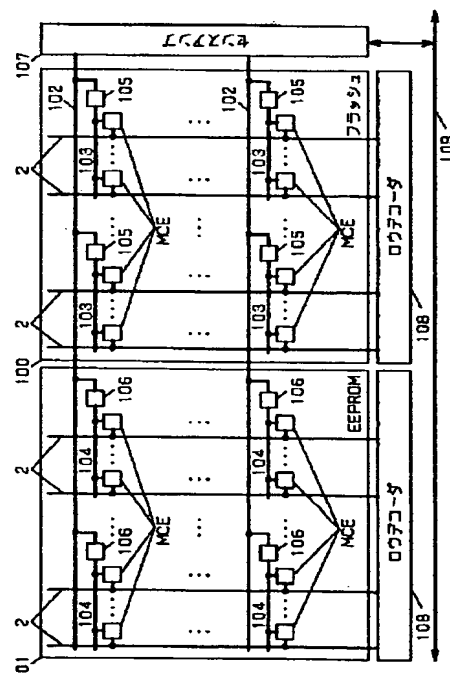
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 ブロック一括消去の不揮発メモリ（フラッシュメモリ）とバイト単位で消去する不揮発メモリ（EEPROM）の混載化において、それぞれ独立にアレイを構成しており、メモリセルに付随する回路、センスアンプ、ロウデコーダが全く別に形成しているため、チップ面積が大きくなるという課題がある。

【解決手段】 フラッシュメモリとEEPROMを混載化する際、階層化ビット線構成をとり、上位ビット線102及びセンスアンプ107をフラッシュメモリ100とEEPROM101で共有化させる。フラッシュメモリ100とEEPROM101でのセンスアンプ107の共有化によって、チップ面積の縮小化が可能となり、効率的にフラッシュメモリ100とEEPROM101とを同一チップ上に形成可能となる。



【特許請求の範囲】

【請求項1】制御ゲート及び浮遊ゲートを具備してなる第1の不揮発性メモリセルを複数個有し、前記第1の不揮発性メモリセルを一括あるいはブロック単位で消去する第1のメモリセルアレイ領域と、

制御ゲート及び浮遊ゲートを具備してなる第2の不揮発性メモリセルを複数個有し、前記第2の不揮発性メモリセルをバイト毎に消去する第2のメモリセルアレイ領域とが同一基板上に構成され、

前記第1のメモリセルアレイ領域から信号を読み出すセンスアンプと前記第2のメモリセルアレイ領域から信号を読み出すセンスアンプが同一であることを特徴とする不揮発性半導体記憶装置。

【請求項2】前記第1の不揮発性メモリセルに接続される第1のビット線は、第1のスイッチ素子を介して第2のビット線に接続され、

前記第2の不揮発性メモリセルに接続される第3のビット線は、第2のスイッチ素子を介して前記第2のビット線に接続され、

前記第2のビット線は前記センスアンプに接続されることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】前記第1の不揮発性メモリセルのメモリセルサイズは、前記第2の不揮発性メモリセルのメモリセルサイズと同一か小さいことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項4】第1のビット線と第3のビット線が同一の方向になるように、第1のメモリセルアレイ領域と第2のメモリセルアレイ領域を配置し、第1のビット線のビット線方向における本数が第3のビット線のビット線方向における本数と同一か多いことを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項5】第1のビット線と第3のビット線が同一の方向になるように、第1のメモリセルアレイ領域と第2のメモリセルアレイ領域を配置し、第1のビット線の本数と第3のビット線の本数を異ならせ、前記第1のビット線と前記第3のビット線の本数の差によって生じた領域に、複数個の第2の不揮発性メモリセルのソースに接続される配線を、配置することを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項6】第1のビット線の本数と第3のビット線の本数の差によって生じた領域に、第2の不揮発性メモリセルに接続される第3のスイッチ素子を配置することを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項7】1本の第2のビット線に対して、複数個の第1のスイッチ素子を介して、第1のビット線が複数本接続され、前記複数本の第1のビット線は、第1の不揮発性メモリセルの制御ゲートに接続される第1のワード線の方向に直交して連続して配置され、

一方、前記1本の第2のビット線に対して、複数個の第

2のスイッチ素子を介して第3のビット線が複数本接続され、前記複数本の第2のビット線は、第2の不揮発性メモリセルの制御ゲートに接続される第2のワード線の方向に直交して分散して配置されることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項8】第2のビット線を所望の複数本毎にグループ化し、1グループ当たりの第2のビット線の本数と同じ本数の第1の配線群を、第2のワード線の方向と平行に配置して、前記第1の配線群と複数本の第3のビット線とを第2のスイッチ素子を介して接続され、前記接続された第3のビット線が第2のワード線方向に連続して配置されることを特徴とする請求項7記載の不揮発性半導体記憶装置。

【請求項9】第3のビット線に接続される第2のスイッチ素子のゲート信号配線が第2のビット線と平行に配置されることを特徴とする請求項7記載の不揮発性半導体記憶装置。

【請求項10】第1のメモリセルアレイ領域と第2のメモリセルアレイ領域からなるメモリアレイブロックの複数個ある入出力データ信号のビット順に、第2のビット線を配置して、隣り合う前記第2のビット線が前記入出力データ線の同一ビットに対応しないことを特徴とする請求項7記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、浮遊ゲートに情報を記憶する不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】浮遊ゲートへの電荷の蓄積の有無により、情報を記憶する不揮発性半導体メモリには、大きくわけて2種類存在する。

【0003】まず、図6に示される、メモリセルの情報を一括して消去するフラッシュメモリである。図6において、1は浮遊ゲートと制御ゲートからなる不揮発性メモリセル、2は不揮発性メモリセル1の制御ゲートに接続されるワード線、3はビット線、4はソース線である。図6からわかるように、ワード線2とビット線3の交点に、各不揮発性メモリセル1が独立に形成されるが、ソース線4は各不揮発性メモリセルに対して共通である。不揮発性メモリセル1のデータを消去する際、ワード線2とソース線4に高電圧を印加して行く。ソース線4が各不揮発性メモリセル1で共通のため、一括してデータが消去される。尚、図6には図示していないが、消去時は全ワード線に同一の電圧が印加される。一方、読み出し、書き込みの時に独立して選択される。ソース4が各不揮発性メモリセルで共通のため、メモリセルサイズを縮小しやすい。一般にメモリセル1個あたり1素子で形成される。

【0004】一方、もう一つのタイプとして、バイト単位でメモリセルの情報を消去することが可能なバイト消

去型不揮発性半導体メモリがある（以下、EEPROMと称す）。図7において、5はEEPROMメモリセルである。図7に示されるように、1メモリセルあたり2素子で構成され、具体的には、各EEPROMメモリセル5に対して不揮発性メモリセル1と制御ゲート6から形成される。

【0005】また、EEPROMメモリセル5以外にも、8ビット単位でデータを消去するため、メモリセル8ビット毎に制御ゲート7が必要とされる。制御ゲート7は、ロウデコーダXDECの出力信号（ワード線）2とコラムデコーダYDECの出力信号8及び9により制御されるものである。即ち、1本のワード線につながる8ビットのみアクセスできるように、ロウデコーダ、コラムデコーダで制御するものである。したがって、ロウデコーダXDECの出力2は直接EEPROMメモリセル5の制御ゲート6へ接続され、不揮発性メモリセル1の制御ゲートには、制御ゲート7の出力信号10が接続される。

【0006】図7の構成により、所望の8ビットだけがワード線2及びビット線3を介して読み出し、書込み、消去が行われる。

【0007】図6、図7から明らかなように、フラッシュメモリとEEPROMではそのセル構成は異なっている。フラッシュメモリは、あまり書き換えのないマイコンのプログラムを格納するような用途に使われ、一方、EEPROMは、書き換えの多いデータを格納する用途に使われている。ともに携帯電話などにさかんに使われている。

【0008】

【発明が解決しようとする課題】近年、携帯電話の用途に、実装面積の縮小化の目的でプログラム格納用のフラッシュメモリと、データ格納用のEEPROMとを同一チップ上に混載させる要望が高まりつつある。この要望に対してフラッシュメモリとEEPROMとを同一チップ上に混載した半導体記憶装置が提案されているが、単に相異なる機能のメモリを混載しているに過ぎない。例えば、特開平10-107231号公報には、ブロック単位でデータを消去するフラッシュメモリとバイト単位で書き換え消去が可能なEEPROMを混載しているが、図8に示されるようにそれぞれのメモリアレイは互いに独立しており、外部とのやり取りを行う主制御部において、フラッシュメモリとEEPROMの切り替えを行っており、チップ全体のレイアウト、チップ面積の観点でみれば必ずしも効率的な混載の仕方ではない。

【0009】本発明は、上記課題に鑑みてなされたものであり、小面積でフラッシュメモリとEEPROMを同一基板上に搭載した不揮発性半導体記憶装置を提供することである。

【0010】

【課題を解決するための手段】この課題を解決するため

に、請求項1記載の発明では、第1の不揮発性メモリセルを複数個有し、前記メモリセルを一括あるいはブロック単位で消去する第1のメモリアレイ領域と第2の不揮発性メモリセルを複数個有し、前記メモリセルをバイト毎に消去する第2のメモリアレイ領域とから構成され、前記第1のメモリアレイ領域から信号を読み出すセンスアンプと前記第2のメモリアレイ領域から信号を読み出すセンスアンプが同一である。また前記第1の不揮発性メモリセルに接続される第1のビット線は、第1のスイッチ素子を介して第2のビット線に接続され、前記第2の不揮発性メモリセルに接続される第3のビット線は、第2のスイッチ素子を介して前記第2のビット線に接続され、前記第2のビット線は前記センスアンプに接続される構成をとる。

【0011】この構成により、それぞれの異なったメモリセルを有するアレイに対して独立にセンスアンプを形成する必要がないので、チップ面積が小さくなる。

【0012】請求項3記載の発明では、前記第1のビット線の本数が前記第3のビット線の本数と同一か多い構成をとる。

【0013】この構成により、異なるメモリセルサイズのメモリアレイのサイズを同一にすることが可能であり、メモリアレイ全体に不必要な領域を生じることなく、効率的なチップレイアウトが可能になる。

【0014】請求項5記載の発明では、前記第1のビット線の本数と前記第3のビット線の本数の差によって生じた領域に、前記第2の不揮発性メモリセルのソースに接続される配線を、あるいは、前記第2の不揮発性メモリセルに接続されるスイッチ素子を、配置する構成をとる。

【0015】この構成により、ビット線の空き領域にソース線や、スイッチ素子を配置することによって、読み出しの安定動作や、余分なストレス電圧の防止を図ることが可能である。

【0016】請求項7記載の発明では、前記第2のビット線を所望の複数本毎にグループ化し、1グループ当たりの第2のビット線の本数と同数本の第1の配線群を、ワード線方向と平行に配置して、前記第1の配線群と複数本の前記第3のビット線とを前記第2のスイッチ素子を介して接続され、前記接続された第3のビット線がワード線方向に連続して配置する構成をとる。

【0017】この構成により、ワード線上の連続したEEPROMセルのデータを上位ビット線を介してアクセスすることが可能である。

【0018】請求項9記載の発明では、前記第3のビット線に接続される前記第2のスイッチ素子のゲート信号配線が前記第1のビット線と平行に配置される構成をとる。

【0019】この構成により、EEPROMセルのスイッチ素子領域を小面積で構成することが可能である。

【0020】請求項10記載の発明では、前記第1のメモリセルアレイ領域と前記第2のメモリセルアレイ領域からなるメモリアレイブロックの複数個ある入出力データ信号のビット順に、前記第2のビット線を配置して、隣り合う前記第2のビット線が前記入出力データ線の同一ビットに対応しない構成をとる。

【0021】この構成により、EEPROMセルのスイッチ素子領域を小面積で構成することが可能である。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について、図1から図5を用いて説明する。

【0023】（実施の形態1）図1は、本発明の実施の形態1に係る不揮発性半導体記憶装置のメモリセルアレイ構成図を示す。同図においてMCFはフラッシュメモリのメモリセル（第1の不揮発性メモリセル）、MCEはEEPROMのメモリセル（第2の不揮発性メモリセル）、100はフラッシュメモリセルアレイ、101がEEPROMメモリセルアレイ、102は上位ビット線（第2のビット線）、103はフラッシュメモリセルに接続される下位ビット線（第1のビット線）、104はEEPROMに接続される下位ビット線（第3のビット線）、105は下位ビット線103と上位ビット線102を接続するフラッシュアレイ100内のスイッチ素子（第1のスイッチ素子）、106は下位ビット線104と上位ビット線102を接続するEEPROMアレイ101内のスイッチ素子（第2のスイッチ素子）、107はセンスアンプ、108はロウデコード、109は共通データ線である。

【0024】尚、フラッシュメモリセルMCFの構成は例えば図6の不揮発性メモリセル1と同一で構わない。EEPROMメモリセルMCEの構成は、例えば、図7のEEPROMメモリセル5から構成されるメモリセルで構わない。

【0025】図1が示すように、上位ビット線102は、フラッシュメモリセルアレイ100とEEPROMアレイ101の両方に接続され、上位ビット線102の他端はセンスアンプ107に接続される。すなわち、上位ビット線102を介して双方のメモリセルに対してアクセスすることが可能となっている。具体的には、フラッシュメモリアレイ100の外部からデータをアクセス（読み出す）する際には、ロウデコード108でワード線2を選択して、メモリセルMCFからビット線103、スイッチ素子105、センスアンプ107、共通データ線109を介して、外部にフラッシュメモリセルMCFのデータを読み出すことが可能であり、一方、EEPROM101の外部からデータをアクセス（読み出す）する際には、ロウデコード108でワード線2を選択して、メモリセルMCEからビット線104、スイッチ素子106、センスアンプ107、共通データ線109を介して、外部にフラッシュメモリセルMCFのデー

タを読み出すことが可能である。

【0026】センスアンプ107はビット線のサイズに依存するため、異なったメモリセルサイズからなるメモリセルを同一基板上に形成する時は、従来例図8に示すようにそれぞれ独立にセンスアンプ（図8の第1、第2の副制御部）を形成していたが、本発明によれば、センスアンプ107は上位ビット線102に接続されているので、不揮発性メモリセルMCF、MCEに接続されるビット線103、104のサイズには依存しない。したがって、異なったメモリセルに対してセンスアンプ107を共用することが可能となる。即ち、フラッシュメモリアレイ100に対するセンスアンプ107、或いは、EEPROMメモリセルアレイ101に対するセンスアンプ107のいずれか一方が不要となるので、メモリアレイ全体としてのチップ面積が小さくなる。

【0027】以上本実施の形態によれば、それぞれの異なったメモリセルを有するアレイに対して独立にセンスアンプを形成する必要がないので、チップ面積を縮小化できる。

【0028】図2は、本発明の実施の形態1に係る不揮発性半導体記憶装置のメモリセルアレイ構成図である。図2は図1のフラッシュメモリアレイ100とEEPROM101の内部構成を示す。

【0029】従来例で述べたように、一般にフラッシュメモリセルMCFのセルサイズは、1素子でメモリセルを構成しているため、1セル2素子で構成されるEEPROMメモリセルMCEのセルサイズよりも小さい。したがって、フラッシュメモリとEEPROMを同一基板上に混載する際、ビット線方向に同一数のメモリセルを配置しようとする、セルサイズの差から、フラッシュとEEPROMで同じメモリアレイサイズにならない。双方でアレイのサイズが異なると、EEPROMアレイの方が大きくなり、フラッシュメモリアレイの領域に空き領域が生じる。また、このようなアンバランスなレイアウト形状になると、フラッシュメモリとEEPROMでセンスアンプを共有させることも困難である。

【0030】そこで本発明の第1の実施の形態では、図2に示すように、フラッシュメモリアレイ100内のフラッシュメモリセルMCFの数とEEPROMアレイ101内のメモリセルMCEの数を異ならせる。図2の例では、フラッシュメモリアレイ100内はフラッシュメモリセルMCFが8セル、EEPROMアレイ101内では、EEPROMセルMCEが4セル配置される。この方法によって、フラッシュメモリセルアレイ100とEEPROMセルアレイ101のアレイサイズ（ビット線方向のサイズ）を同一にする。このように双方のメモリセルアレイのサイズを同一にすることによって、即ちバランスのとれたレイアウト形状にすることによって、センスアンプ107（図1）を共用することが可能になる。

【0031】ここで、図2ではフラッシュメモリセルMCFのビット線103が8本、EEPROMセルMCEのビット線104が4本の例を示したが、他の本数でもよいことは言うまでもない。

【0032】以上、本実施の形態によれば、異なるメモリセルサイズのメモリセルアレイのサイズを同一にすることが可能であり、メモリセルアレイ全体に不必要な領域を生じることなく、効率的なチップレイアウトが可能になる。

【0033】また、図2において、201はフラッシュセルアレイ100内のビット線103とEEPROMセルアレイ内のビット線104との本数の差によって生じたレイアウト空白領域である。このレイアウト空白領域201に、EEPROMセルMCEに接続されるスイッチ素子202を挿入する。

【0034】従来例で述べたように、EEPROMセルMCEは、バイト単位でアクセスする必要があるため、フラッシュメモリセルと異なり、余分なスイッチ素子が必要とされる。例えば、図7で示したように、EEPROMセル5の制御ゲート6と不揮発性メモリセル1のゲートの信号を分離するために、具体的には、消去時選択されたワード線2の電圧による、非選択のメモリセルへの余分なストレス電圧がかかるのを防止するため（非選択メモリセルのワード線に高電圧が印加されることにより、データが誤消去される）、スイッチ素子7をワード線2に対して挿入している。8ビット単位で必要とされるスイッチ素子7を、図2のレイアウト空白領域201に配置すれば、効率的なレイアウトで、非選択メモリセルへのストレスを防止することが可能である。

【0035】図2では、スイッチ素子202の例として従来例の図7で示した制御ゲート7を挿入する例を示したが、別の機能のスイッチ素子を配置しても構わない。

【0036】さらに他の例として、図示していないが、EEPROMセルMCEに接続される配線203をソースに接続して、スイッチ素子202を介さずにレイアウト空白領域201に配置してもかまわない。一般に不揮発性メモリセルからデータを読み出す場合、ビット線に充電された電荷をソース線を介して接地線に放電する。このため、ソース線の抵抗が高いと、ビット線の電位が低下するのに時間がかかる。即ち、読み出し速度が遅くなったり、最悪の場合には誤動作を生じる。したがって、ソース線の抵抗を下げることは重要である。

【0037】すなわち、ビット線103のうち、所望の数ごとにレイアウト空白領域201をつくり、その領域にソース線202を配置すれば、従来のワード線2の方向に配置したソース線202に対して、結果的に電源線の強化になるので、外部から見たソース線の抵抗を下げる事が可能になり、安定した読み出し動作が可能となる。

【0038】以上、本実施の形態によれば、ビット線の

レイアウト空白領域201にソース線203やスイッチ素子202を配置することによって、読み出しの安定動作や、余分なストレスの防止を図ることが可能である。

【0039】（実施の形態2）図3は、本発明の実施の形態2に係る不揮発性半導体記憶装置のメモリセルアレイ構成図である。図3は図1のフラッシュメモリアレイ100とEEPROM101の内部構成を示す。

【0040】図3において、301はフラッシュメモリアレイ領域100内のスイッチ素子105の制御信号、302はEEPROMアレイ領域101内のスイッチ素子106の制御信号である。

【0041】従来例で述べたように、フラッシュメモリにおいては、図6に示すように消去は一括して行われるため、外部からアクセスする8ビットが必ずしもワード線上で連続する必要がない。ところが、EEPROMアレイは8ビット単位でデータを消去するため、図7に示すように外部からアクセスする8ビットがワード線上で連続して配置される。即ち、EEPROMアレイではワード線上の連続するビットが外部のビットに対応する必要がある。

【0042】そこで本発明の実施の形態2では、図3に示すように、フラッシュメモリアレイ領域100では、上位ビット線102に対して、制御信号301により制御されるスイッチ素子105を介して、8個のフラッシュメモリセルMCFに接続する構成をとり、一方、EEPROMアレイ領域101では、上位ビット線102に対して、制御信号302により制御されるスイッチ素子106を介して、複数のEEPROMセルMCEに接続されるが（図3上のM1とM5）、ワード線2上に、上位ビット線102に接続されるメモリセルMCEが連続して配置されない（図3上、M1、M2、M3、M4、M5が連続して配置される）。

【0043】さらに図3には、8本の上位ビット線102（MBL0～MBL7）が示されている。フラッシュメモリアレイ領域100内では、1本の上位ビット線102に対して8個のフラッシュメモリセルMCFが接続されている。ワード線2上には、前記の8セルが連続して配置される。一方、EEPROMアレイ領域101においては、EEPROMセルMCEに接続される下位ビット線104（SBL00～SBL03）はスイッチ素子106を介して、フラッシュメモリのように1本の上位ビット線102に接続されるのではなく、4本の上位ビット線102（MBL0～MBL3）に接続する。このように接続するために、フラッシュメモリアレイ領域100とは異なり、新たに、図3上のIOBのように、上位ビット線102をワード線2に対して平行に配置した。こうすることによって、ワード線2上に連続する8ビットのEEPROMセルMCEから上位ビット線102を介して図示していない外部のI/Oに対応することが可能になる。

【0044】次に制御信号301、302について説明する。まずフラッシュ領域100については、1本の上位ビット線102に対して8本の下位ビット線103が接続されているため、スイッチ素子105によって、8本のうち1本を選択する。この選択の制御は制御信号線301によって行われる。制御信号線301はワード線2に平行に配置される。

【0045】一方、EEPROMアレレイ領域101については、ワード線2上に連続して配置されるEEPROMセルMCEに対するスイッチ素子106が制御信号302によって選択される。図3においては、連続した8つのスイッチ素子106が選択される。制御信号302は上位ビット線102に対し平行に配置する。通常アレレイを形成する場合、上位ビット線102の本数は、メモリアレイサイズに依存するが、メガビットクラスのアレイの場合、256本から1024本あることが想定される。上位ビット線102に対してEEPROMセルMCEの下位ビット線104が4本とすると、下位ビット線の本数は1024本から4096本になる。これを8ビット毎に束ねるとスイッチ素子106の制御信号302の総数は、128本から512本となる。このため、フラッシュメモリ領域100のように制御信号302をワード線2に対して平行に配置すると、スイッチ素子106の領域が膨大になり、チップ面積が著しく大きくなる。しかし本発明によれば、上位ビット線102と平行に配置するのでスイッチ領域106の面積は、スイッチ素子の幅と制御信号の配線1本分だけ占めるに過ぎない。

【0046】尚、制御信号配線302の配線層は、上位ビット線102と同一にするが、実施の形態1で述べたように、EEPROMアレレイのレイアウト空白領域201を利用して下位ビット線104と同一の配線層を使用しても構わない。

【0047】以上、本実施の形態によれば、EEPROMアレレイのスイッチ素子領域を小面積で構成することが可能である。

【0048】次に、上位ビット線102と図3に図示していないセンスアンプ、及び、外部I/O線との関係の例を図4において説明する。図4の例では、外部I/O線が8ビット(I/O0~I/O7)、センスアンプ107が16個、上位ビット線102がそれぞれのI/Oに対して2本、即ち、16本あり、さらに、各上位ビット線102に対して、EEPROMアレレイ領域101内の下位ビット線104が4本ずつある場合、即ち合計64本ある場合を示している。

【0049】通常、センスアンプ107からI/Oの間の配線領域を簡便化するために、即ち、センスアンプ107、I/O選択スイッチ素子401、I/Oの間の接続関係を簡便化するため、外部I/O毎に上位ビット線102を形成する。図4の例では、上位ビット線102の上から順番にI/O0に対応したMBL00、MBL

01、I/O1に対応したMBL10、MBL11、I/O2に対応したMBL20、MBL21、I/O3に対応したMBL30、MBL31が存在する。ここでI/O0においてMBL00とMBL01の選択は、制御信号402により制御されるスイッチ素子401で行われる。さらに、MBL00には下位ビット線SBL00、SBL20、SBL40、SBL60がスイッチ素子106を介して接続される。図3と図4を対応させると、例えば、図3のMBL0~MBL3は、図4のMBL00、MBL10、MBL20、MBL30に対応する。即ち、図3を基本構成として上位ビット線、下位ビット線の数が増加しても図4と同様に構成できる。図3では、ワード線2の方向に上位ビット線群IOBは8本でよかったが、図4の例では、各I/Oに対して上位ビット線が2本になったため、図4に図示していないワード線の方向の上位ビット線群IOCは16本になる。これは、隣接する上位ビット線102のうち例えばMBL00、MBL10のショートを防止するためである。

【0050】尚、本図ではビット線1本に対してセンスアンプ1個を対応させたが、上位ビット線2本に対してセンスアンプ1個を対応させる形、即ち、差動形式にしてもよい。

【0051】以上、本実施の形態によれば、ワード線上の連続したEEPROMセルのデータを上位ビット線を介してアクセスすることが可能である。

【0052】図5は、図4と同様に、EEPROM領域101内の下位ビット線104と上位ビット線102、センスアンプ107、I/O選択スイッチ401、外部I/O0~I/O7の関係を示すものである。図4との差は、上位ビット線102の順序を変えたことである。図4の例では、上位ビット線102の上から順番にI/O0に対応して2本(MBL00、MBL01)、I/O1に対応して2本(MBL10、MBL11)、I/O2に対応して2本(MBL20、MBL21)、I/O3に対応して2本(MBL30、MBL31)と配置したが、図5では、上位ビット線102の上から順番にI/O0~I/O7に対応させて8本(MBL00~07)、さらにI/O0~I/O7に対応させて8本(MBL10~17)配置させる。このように上位ビット線102を配置すれば、上位ビット線102の上半分(MBL00~MBL07)に対してEEPROMアレレイ領域101内の下位ビット線104の上半分すべて接続することが可能である。即ち、ワード線2の方向に配置する上位ビット線群IODの本数が、図4とは違い8本で可能となる。このように、上位ビット線102の配置方法を上から順番に外部I/Oのビットの順番にして、それを繰り返せば、上位ビット線102とEEPROMアレレイ領域の下位ビット線104との接続が少ない配線領域で形成することが可能である。

【0053】以上、本実施の形態によれば、EEPROM

Mセルアレイのスイッチ素子領域を小面積で構成することが可能である。

【0054】

【発明の効果】以上説明したように、請求項1記載の発明によれば、それぞれの異なったメモリセルを有するアレイに対して独立にセンスアンプを形成する必要がないので、チップ面積が小さくなる、という効果を有する。

【0055】請求項3記載の発明によれば、異なるメモリセルサイズのメモリセルアレイのサイズを同一にすることが可能であり、メモリセルアレイ全体に不必要な領域を生じることなく、効率的なチップレイアウトが可能になる、という効果を有する。

【0056】請求項5記載の発明によれば、ビット線の空き領域にソース線や、スイッチ素子を配置することによって、読み出しの安定動作や、余分なストレスの防止を図ることが可能である、という効果を有する。

【0057】請求項7記載の発明によれば、ワード線上の連続したEEPROMセルのデータを上位ビット線を介してアクセスすることが可能である、という効果を有する。

【0058】請求項9、10記載の発明によれば、EEPROMセルのスイッチ素子領域を小面積で構成することが可能である、という効果を有する。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に係るメモリアレイ構成図

【図2】本発明の第1実施の形態に係るメモリアレイ構成図

【図3】本発明の第2実施の形態に係るメモリアレイ構成図

【図4】本発明の第2実施の形態に係るメモリアレイ構成図

【図5】本発明の第2実施の形態に係るメモリアレイ構成図

成図

【図6】従来のフラッシュメモリアレイ構成図

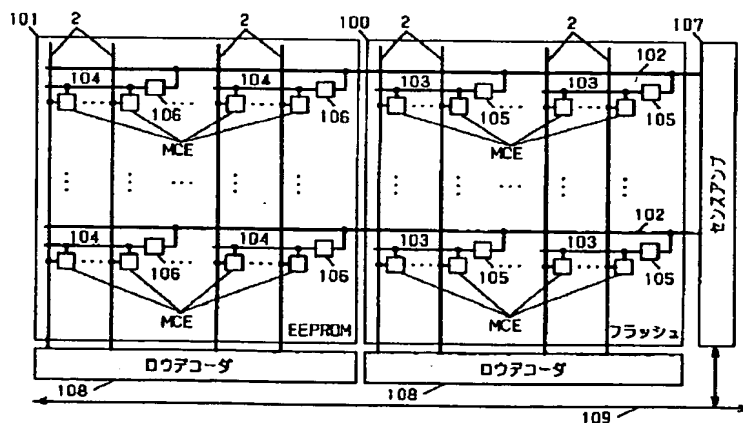
【図7】従来のEEPROMメモリアレイ構成図

【図8】従来のフラッシュ-EEPROM混載メモリアレイ構成図

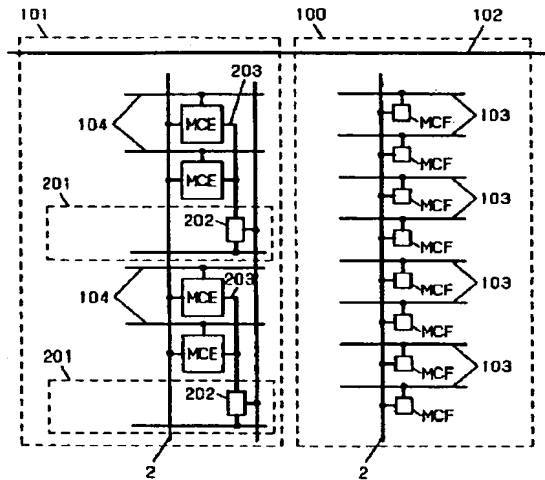
【符号の説明】

- 1 不揮発性メモリセル
- 2 ワード線
- 3 ビット線
- 4 ソース線
- 5 EEPROMメモリセル
- 6 EEPROMメモリセル内の制御ゲート
- 7 制御ゲート
- 8, 9 コラムデコード出力信号
- 10 EEPROMセル用ロウデコード信号
- 100 フラッシュメモリアレイ領域
- 101 EEPROMメモリアレイ領域
- 102 上位ビット線
- 103 フラッシュメモリの下位ビット線
- 104 EEPROMメモリの下位ビット線
- 105 フラッシュメモリ内のスイッチ素子
- 106 EEPROMメモリ内のスイッチ素子
- 107 センスアンプ
- 108 ロウデコード
- 109 共通データ線
- 201 EEPROM内のレイアウト空白領域
- 202 EEPROMメモリ内の他のスイッチ素子
- 203 EEPROMメモリアレイ内のソース線
- 301 フラッシュメモリ内のスイッチ素子制御信号線
- 302 EEPROMメモリアレイ内のスイッチ素子制御信号線
- 401 I/O選択スイッチ素子
- 402 I/O選択スイッチ素子制御信号線

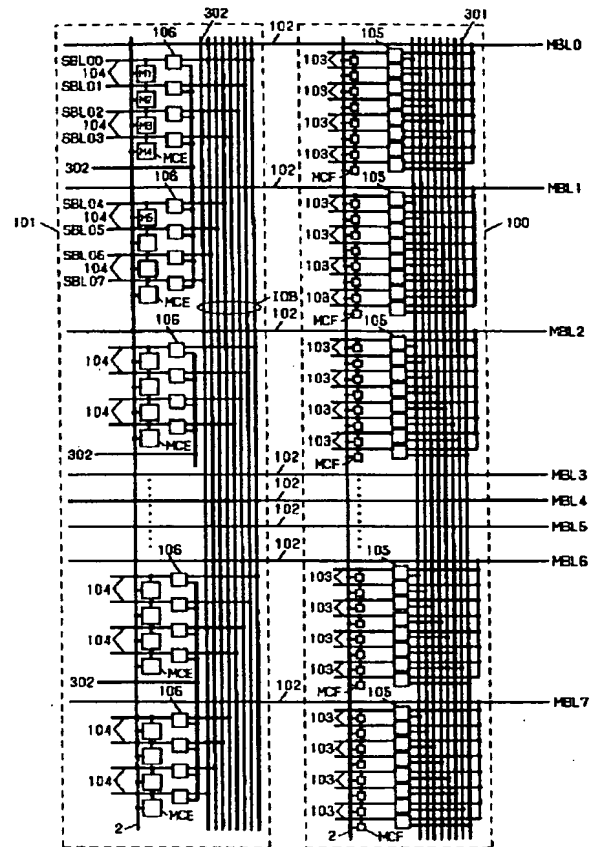
【図1】



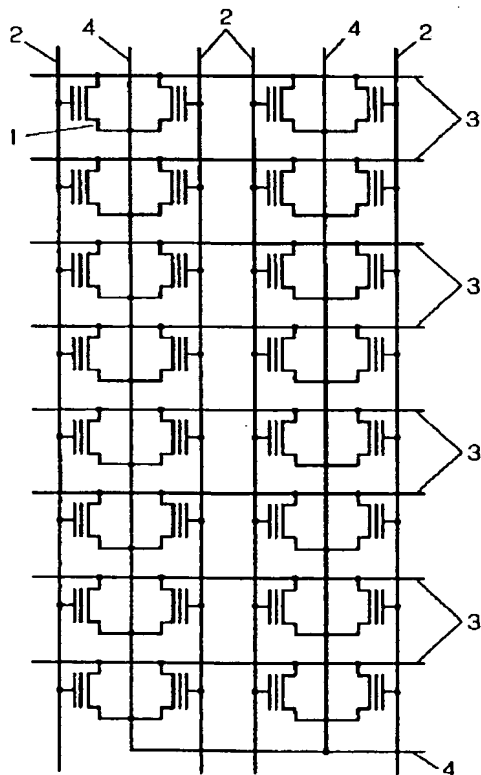
【図2】



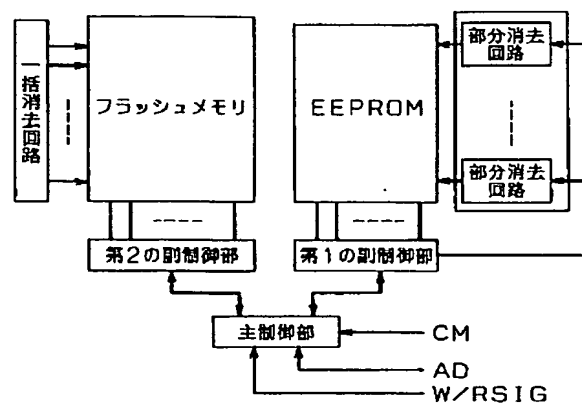
【図3】



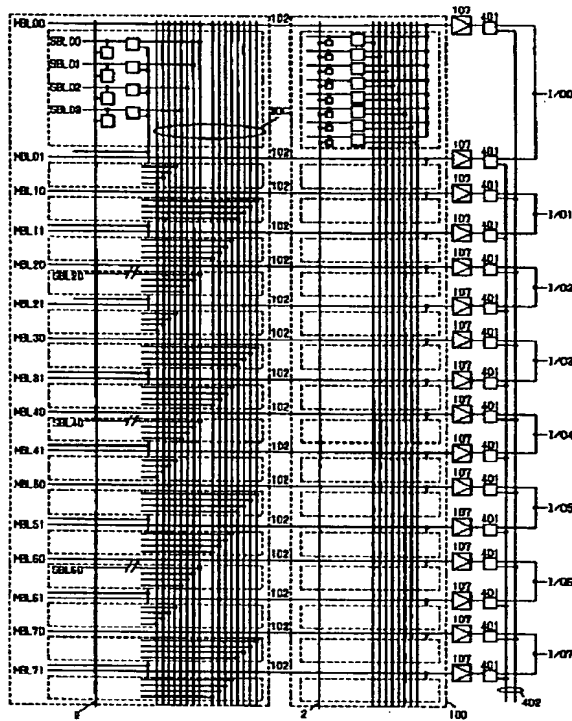
【図6】



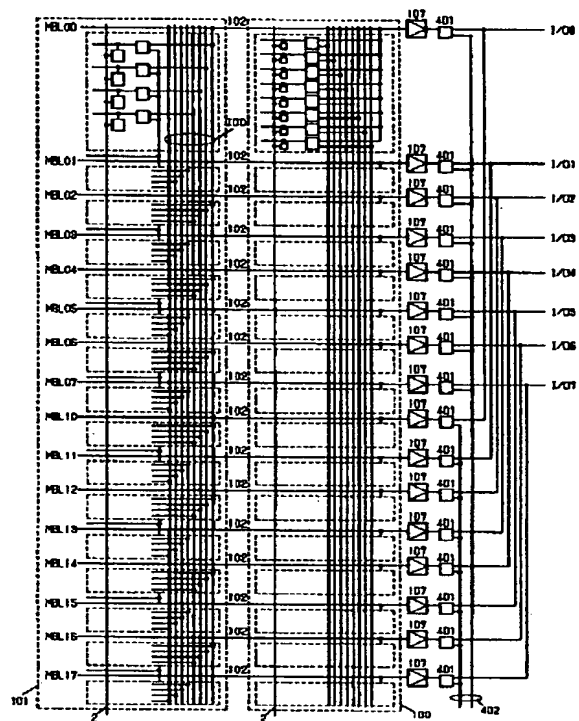
【図8】



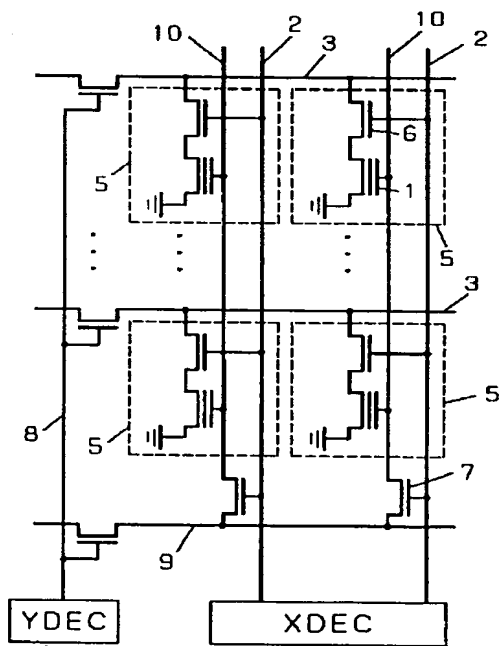
【図4】



【図5】



【図7】



フロントページの続き

Fターム(参考) 5B025 AA03 AB01 AC01 AD02 AD06
AE08
5F001 AA01 AB02 AC02 AD12 AD51
AE02 AE03 AE08 AG40
5F083 EP02 EP22 ER14 ER16 ER22
ER23 GA09 LA03 LA05 LA10
LA12 LA16 LA17 LA18 LA20
ZA14

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.